

(Q 77276  
NE-1151-US

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326301

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 4 J

G 0 1 R 31/28

G 0 1 R 31/28

F

H 0 1 L 21/82

H 0 1 L 21/82

G

T

審査請求 有 請求項の数5 F D (全 5 頁)

(21) 出願番号

特願平9-148457

(22) 出願日

平成9年(1997)5月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 高橋 次男

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 武藤 珠恵

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 高橋 友二

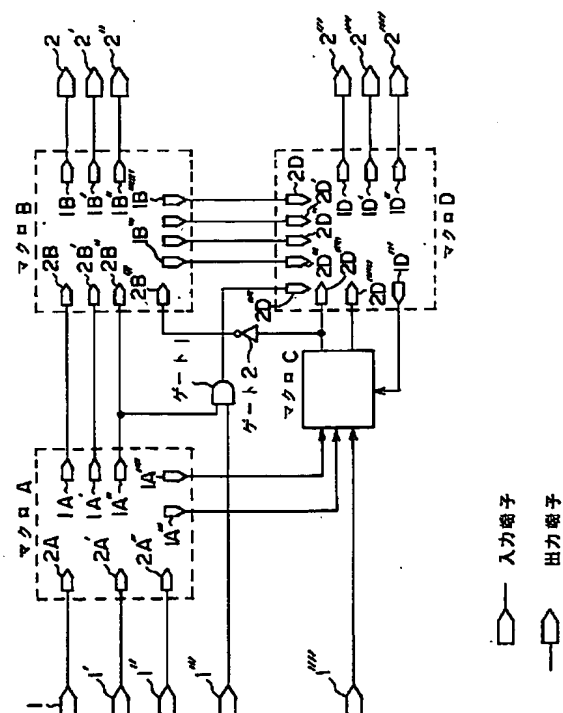
最終頁に続く

(54) 【発明の名称】 L S I 試験方式

(57) 【要約】

【課題】 従来のマクロ間接続の正当性を検証する L S I 試験方式には、上位マクロにテストパターンを流す方式やバウンダリスキャン回路を利用する方式があるが、検証が複雑化したり回路規模が増加してコスト高となる等の問題がある。

【解決手段】 各マクロ間の接続部分だけのいわゆるネットリストを抽出する手段、抽出したネットリストに、接続の正当性を検証するだけの単純なパタンのテスト信号を流し、このテスト信号をモニタすることで各マクロ間接続の正当性を検証する手段を備えた。



## 【特許請求の範囲】

【請求項1】 複数のマクロ（モジュール、ブロックとも称される）から構成されるLSIの各マクロ間接続の正当性を検証するLSI試験方式において、各マクロ間の接続部分だけのいわゆるネットストを作成する手段、作成した前記ネットリストに、接続の正当性を検証できるだけの単純なパタンのテスト信号を流し、このテスト信号をモニタすることで各マクロ間接続の正当性を検証する手段、を備えたことを特徴とするLSI試験方式。

【請求項2】 前記ネットリストは、各マクロのそれぞれの出力端子をそれぞれテスト信号入力端子とし、それぞれの入力端子をそれぞれテスト信号出力端子とし、各テスト信号入力端子と各テスト信号出力端子との間に接続された各接続線を抽出したものであることを特徴とする請求項1記載のLSI試験方式。

【請求項3】 前記テスト信号は、前記各接続線のうち素子が挿入されその論理を考慮する必要がある接続線に対しては、その論理を考慮したパタンの信号とし、論理を考慮する必要がない接続線に対しては、その論理が1パルス間隔だけ反転する信号としたことを特徴とする請求項2記載のLSI試験方式。

【請求項4】 前記その論理が1パルス間隔だけ反転するテスト信号は、前記各信号線ごとの区別を行うため、前記論理が反転するタイミングに時間的ズレを持たせた信号であることを特徴とする請求項3記載のLSI試験方式。

【請求項5】 前記その論理が1パルス間隔だけ反転するテスト信号は、前記各信号線ごとの区別を行うため、前記論理が反転するパルス間隔をそれぞれ相違させた信号であることを特徴とする請求項3記載のLSI試験方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はLSI設計時における機能確認試験に関し、特に階層設計手法を用いて階層的に設計され、設計の正当性が確認されたマクロ（モジュール又はブロックとも称される）のマクロ間接続の正当性を確認するためのLSI試験方式に関する。

## 【0002】

【従来の技術】 LSIの階層設計手法(hierarchical design method)は良く知られているように、例えば最下層の論理ゲートレベルを組み立ててセルレベルとし、このセルレベルを組み立ててマクロレベルとし、マクロレベルを組み立ててチップレベルとして行く方法であり、各レベルの組立において機能確認試験等が適宜実施されるが、これらの試験の1つにマクロ間接続の正当性を確認する試験がある。

【0003】 従来マクロ間接続の正当性を確認する試験方式としては、以下のような方法がある。

■テストパターンを用いる方式。この方法は、マクロ間が接続された上位階層をテストパターンを用いて機能検証し、上位階層が正常に機能すればマクロ間接続も正しいとする方式である。

■各マクロに従来のバウンダリスキャン回路を組み込み、この回路を使ってマクロ間接続を検証して行く方式。バウンダリスキャン回路は、その標準仕様がIEEE E1149.1に規定されているが、例えば図5に示すように、チップの各入出力端子単位にフリップフロップからなる診断用のセル(f i), (f o)を接続すると共に、診断用入力端子(c d i)と診断用出力端子(c d o)とを設け、診断用入力端子から診断データを入力し、診断用出力端子(c d o)から診断データに対応した出力が得られるか否かによってチップの機能の検証を行うものであるが、このバウンダリスキャン回路を各マクロに組み込んでマクロ間接続の正当性を確認する方法も考えられる。

## 【0004】

【発明が解決しようとする課題】 従来のマクロ間接続の正当性を検証するLSI試験方式は、上述のようにテストパターンを用いる方式があり、またバウンダリスキャン回路を利用する方式も考えられるが、LSI内部の各モジュール規模が大型化し、マクロ間接続数も著しく増加している現在では、テストパターン作成に多大な時間が必要になる。またこのテストパターン方式は検証が複雑で、検証試験はその機能を十分把握している人が行う必要があるが、それでも時間がかかりその信頼性も十分でない。

【0005】 また、各マクロにバウンダリスキャン回路を組み込む場合、バウンダリスキャン回路はデータを取り込むセルが入力端子+出力端子の数だけ必要であり、それだけ各マクロの回路規模が増加、複雑化し、結果として提供するLSIの価格が高価になる等の問題点があった。

【0006】 本発明はかかる問題点を解決するためになされたものであり、回路規模の増加を招くことなく、マクロ間接続の正当性を短期間で確実に検証できるLSI試験方式を提供することを目的としている。

## 【0007】

【課題を解決するための手段】 本発明のLSI試験方式は、複数のマクロ（モジュール、ブロックとも称される）から構成されるLSIの各マクロ間接続の正当性を検証するLSI試験方式において、各マクロ間の接続部分だけのいわゆるネットストを作成する手段、作成した前記ネットリストに、接続の正当性を検証できるだけの単純なパタンのテスト信号を流し、このテスト信号をモニタすることで各マクロ間接続の正当性を検証する手段を備えたことを特徴とする。

## 3

【0008】また前記ネットリストは、各マクロのそれぞれの出力端子をそれぞれテスト信号入力端子とし、それぞれの入力端子をそれぞれテスト信号出力端子とし、各テスト信号入力端子と各テスト信号出力端子との間に接続された各接続線を抽出したものであることを特徴とする。

【0009】また前記テスト信号は、前記各接続線のうち素子が挿入されその論理を考慮する必要がある接続線に対しては、その論理を考慮したパタンの信号とし、論理を考慮する必要がない接続線に対しては、その論理が1パルス間隔だけ反転する信号としたことを特徴とする。

【0010】また前記その論理が1パルス間隔だけ反転するテスト信号は、前記各信号線ごとの区別を行うため、前記論理が反転するタイミングに時間的なズレを持たせた信号であることを特徴とする。

【0011】さらに前記その論理が1パルス間隔だけ反転するテスト信号は、前記各信号線ごとの区別を行うため、前記論理が反転するパルス間隔をそれぞれ相違させた信号であることを特徴とする。

【0012】本発明のLSI試験方式は、複数のマクロから構成されるLSIの各マクロ間接続の正当性を検証するLSI試験方式を上述のような構成とすることで、マクロ間接続の正当性を極めて単純に検証できるようになり、複雑なテストパタンの作成やバウンダリスキャン回路が不要となる。

## 【0013】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。図1は検証対象となる複数のマクロが接続された回路（上位マクロ）を示す図、図2は本発明の一実施形態を説明するための図である。図1に示すように、例えば検証対象となる回路が、マクロA～マクロD、ゲート1およびゲート2で構成され、それぞれが図1に示すように接続されていたとする。本発明のLSI試験方式は、このような回路のマクロ間接続の正当性を検証するために、始めにマクロ間接続を示すいわゆるネットリストの作成を行う。

【0014】このネットリストの抽出は図2に示すように、各マクロA～Dの入力端子をテスト信号の出力端子に、出力端子をテスト信号の入力端子に置き換えることで容易に行うことができる。すなわち1, 1', 1''～1'''は、これらのマクロA～Dを接続した上位マクロの入力端子であるので、そのままテスト信号の入力端子とし、同様に2, 2', 2''～2'''は上位マクロの出力端子であるのでそのままテスト信号の出力端子とする。また、2A, 2A', 2A''はマクロAの入力端子であるのでテスト信号の出力端子とし、1A, 1A'～1A'''は出力端子であるのでテスト信号の入力端子とする。

【0015】同様に2B, 2B'～2B'''をテスト信号の出力端子、1B, 1B'～1B'''をテスト信号の入力端子、2D,

## 4

2D'～2D'''をテスト信号の出力端子、1D, 1D'～1D'''をテスト信号の入力端子とすることで、ネットリストの抽出が行える。なおマクロCは短機能のマクロであり、このような短機能のマクロは端子の置き換えを行うより、そのままその機能をテストするテストパターンを流した方が、テストパタンの作成も容易で、接続の正当性と機能の検証とを同時に行えるため、端子の置き換えは行わない。

【0016】次に、このようにして作成したネットリストのそれぞれのテスト信号用入力端子へ簡単なパタンのテスト信号を入力し、それぞれのテスト信号用出力端子でこのテスト信号をモニタする。図3は、ネットリストに流すテスト信号の一例を示す図であり、テスト信号は、例えば所定のパルス幅だけその論理が反転するような信号で良い。但し、各端子ごとに区別する必要があるため、各端子ごと時間的なズレを以てその論理が順次反転する図3に示すようなテスト信号、あるいは論理が反転するパルス幅が各端子ごと異なるテスト信号（図示せず）を用いる。なお、ゲート1やマクロCへ与えるテスト信号のパタンは、それぞれゲートの論理やマクロCの論理を考慮して作成する。以上のように本発明のLSI試験方式は、ネットリストを作成し、作成したネットリストのテスト信号入力端子側それぞれに簡単なパタンのテスト信号を入力し、テスト信号出力端子側でテスト信号をモニタする方式により、マクロ間接続の正当性の検証が極めて容易に行えるようになる。

【0017】なお図2で説明した実施形態の説明では、ゲート1やマクロCへ与えるテスト信号のパタンは、それぞれゲートの論理やマクロCの論理を考慮して作成することとしているが、図4に示すように、このような部分はネットリストから外し、ネットリストを作成した部分についてのみ上述の検証試験を実施することとしても良い。ネットリストで抽出しなかった部分のマクロ間接続の検証は、ネットリストの接続関係から正確に調べることができるので特に検証の必要がない場合や、マクロ間接続の正当性の検証だけでは上位マクロの機能確認が不十分でマクロ間に渡ってタイミング等の検証が必要な部分は、上位マクロとして機能検証が行われるから、明らかに上位マクロで検証されるパスである場合には、マクロ間接続チェックを行わなくても良い場合があるからである。

## 【0018】

【発明の効果】以上説明したように本発明のLSI試験方式は、LSIを構成する各マクロ間の接続部分だけのネットリストを作成することでテスト信号に単純なパタンの信号を用いて接続の正当性を検証できるため、バウンダリスキャン回路を用いる場合と同様に短期間で確実な検証が可能となる。またバウンダリスキャン回路を必要としないので、回路規模を増加、複雑化することなくチップ単価の上昇を防ぐことができ、さらに試験の実施

5

に専用のCAD等の特別の設備も不用となる等の効果がある。

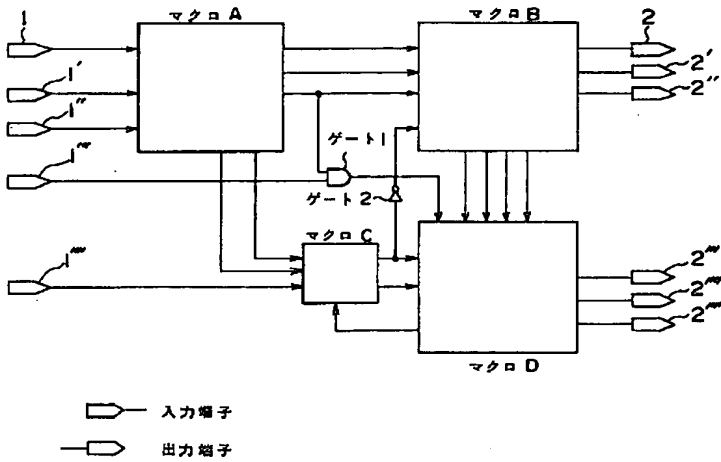
【図面の簡単な説明】

【図1】検証対象となる複数のマクロが接続された上位マクロを示す図である。

【図2】本発明の一実施形態を説明するための図である。

【図3】本実施形態で使用するテスト信号の一例を示す図である。

【図1】



6

【図4】ネットリストの抽出方法の他の例を説明するための図である。

【図5】従来のバウンダリスキャン回路を説明する図である。

【符号の説明】

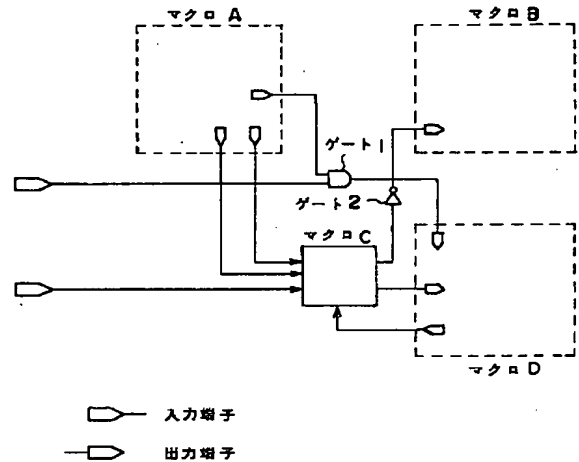
1, 1', 1'' ~ 1''''', 1B, 1B' ~ 1B''''', 1D, 1D' ~ 1D'''''

それぞれテスト信号入力端子

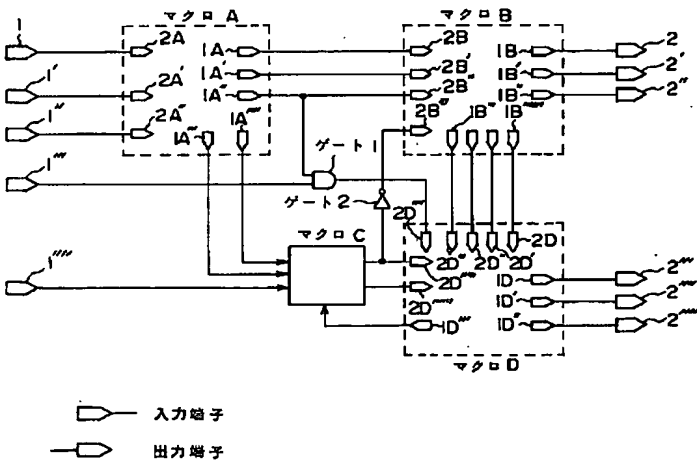
2, 2', 2'' ~ 2''''', 2A, 2A', 2A'', 2B, 2B' ~ 2B''''', 2D, 2D' ~ 2D'''''

それぞれテスト信号出力端子

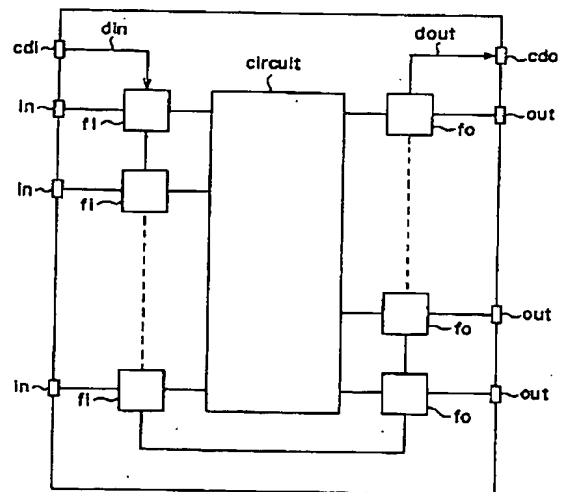
【図4】



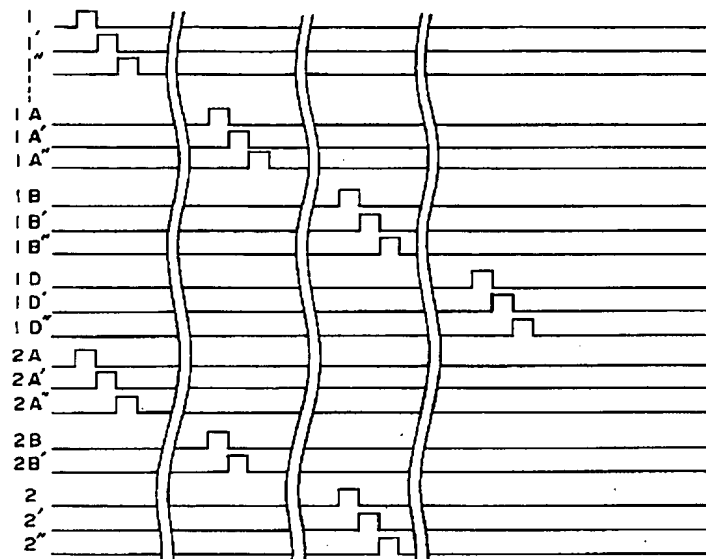
【図2】



【図5】



【図3】



---

フロントページの続き

(72)発明者 齊藤 雅弘

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内